

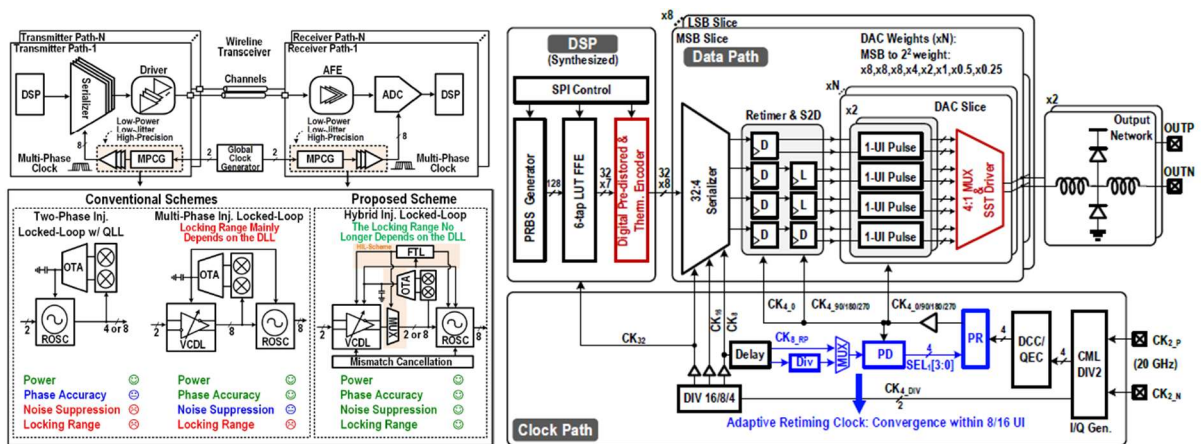
2025 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 25 High-speed Wireline and Optical Communication

Session 25에서는 최신 CMOS 공정 기술을 활용하여 고속 데이터 통신 시스템의 핵심 이슈인 광대역 동작 범위, 높은 데이터 전송률, 저잡음 및 우수한 전력 효율성 등을 해결하기 위한 혁신적인 회로 설계 기법들이 제안되었다. 이를 통해 최근 고속 통신 분야의 주요 설계 트렌드가 저전력, 저잡음, 넓은 동작 범위 및 고효율 데이터 전송 기술로 집중되고 있음을 확인할 수 있었다.

#25-1 최근 고속 데이터 전송 시스템에서는 광대역, 저잡음, 높은 위상 정확도를 동시에 갖춘 다중 위상 클럭 생성기(MPCG)의 중요성이 커지고 있다. 본 세션에서는 28nm CMOS 공정을 기반으로 한 하이브리드 인젝션 락 기술과 적응형 mismatch 보상(AMC) 기법을 적용하여, 기존 DLL의 제약을 극복하고 운영 범위를 22.5% 확대하며, 위상 잡음을 최소화한 MPCG가 소개되었다. 제안된 기술은 0.3~10.1GHz의 광대역에서 33.8fs의 매우 낮은 RMS 지터를 달성하며, 고속 통신 링크의 성능과 신뢰성을 한층 향상시켰다.



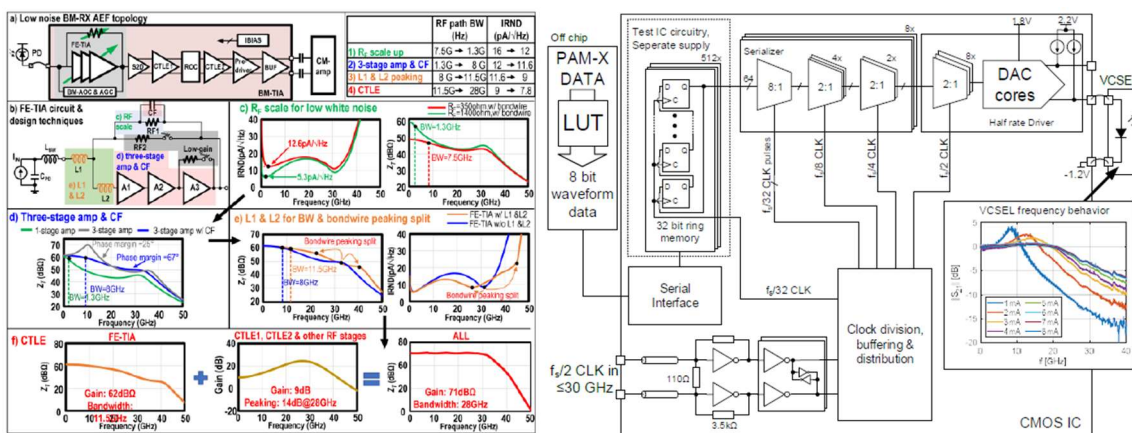
[25-1] (좌) Multi-phase clock distribution for high-speed wireline transceiver.

[25-2] (우) Overall architecture of the proposed TX.

#25-2 본 세션에서는 최신 CMOS 공정을 활용하여 고속 통신 시스템의 성능 한계를 극복하기 위한 혁신적인 회로 기술들이 소개되었다. 특히, 28nm CMOS 공정에서 구현된 디지털 사전 왜곡(DPD)을 이용한 100Gb/s 송신기는 전압 모드(VM) 드라이버와 4:1 MUX를 통합하여 기존 대비 선형성을 3배 향상시켰다. 이 기술은 추가적인 아날로그 오버헤드 없이 디지털 도메인에서 선형성 교정을 수행하며, 뛰어난 에너지 효율성과 데이터 전송

성능을 동시에 달성하였다.

#25-3 본 논문은 50Gb/s PON 시스템을 위한 CMOS 기반의 저잡음, 빠른 안정화 특성을 갖춘 버스트 모드(BM) 트랜스임피던스 증폭기(TIA)를 제안하였다. SiGe BiCMOS 대비 저비용의 CMOS 기술을 이용하여 기존보다 우수한 잡음 특성과 짧은 안정화 시간을 달성하였다. 특히, 고주파 성능 향상을 위한 피드백 저항 조정 및 온칩 인덕터 도입을 통해 TIA 대역폭을 확대하고 잡음을 최소화하였으며, 독창적인 빠른 자동 오프셋 보정(AOC) 기법을 도입하여 5.4ns의 짧은 안정화 시간을 구현하였다. 또한, 연속 모드(CM) 포스트 증폭기와 호환 가능한 구조로 설계하여 시스템 복잡성과 비용을 추가로 절감하였다.



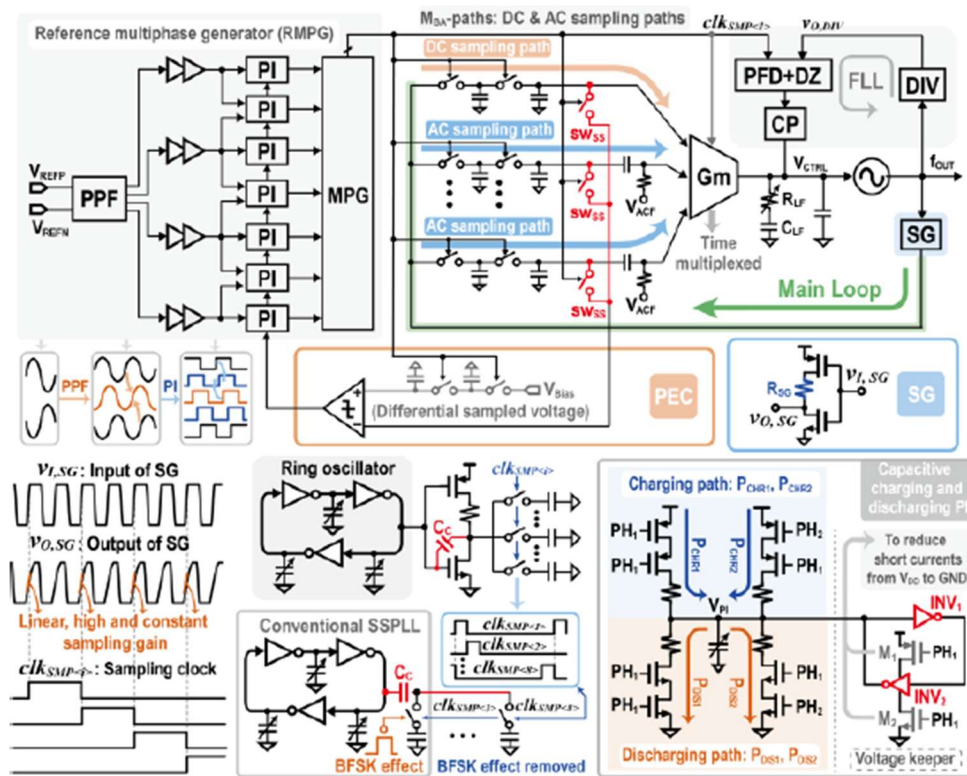
[25-3] (좌)Low-noise BM-RX AFE topology and RF path design.

[25-4] (우)DAC Driver overview, including off chip data predistortion, test ring memory cells, clock input, serializer, half rate driver and VCSEL with AC behavior shown.

#25-4 본 논문은 22nm SOI 공정으로 제작된 고속 DAC 기반 송신기를 제안하였다. 이 송신기는 전류 모드로 직접 구동되는 VCSEL 다이오드를 이용하여 전기적으로 180Gb/s PAM-8 및 광학적으로 100Gb/s PAM-4 전송을 구현하였다. 비선형 주파수 응답 문제를 해결하기 위해 데이터 의존형 스위칭 FFE를 사용한 디지털 사전 왜곡 기술을 적용하였고, 출력단에는 바이어스 전류 생성이 가능한 DAC 기반 드라이버를 도입하여 출력 대역폭과 선형성을 동시에 향상시켰다. 이를 통해 우수한 에너지 효율성(1.5pJ/bit)과 낮은 SER(5.2×10^{-7})을 달성하였다.

#25-5 본 논문은 링 발진기(RO) 기반의 서브 샘플링 PLL(SS-PLL)에 다중 경로 샘플링을 적용하여 대역폭을 획기적으로 확장한 BASS-PLL을 제안하였다. 40nm CMOS 공정으로 구현된 본 PLL은 기준 주파수 대비 30% 이상의 넓은 루프 대역폭을 달성하며, RO의 노이즈를 효과적으로 억제하여 탁월한 jitter 성능(최악의 경우 FoMREF -247.9dB)을 나타냈다. 특히, 다중 경로 샘플링 및 내재적인 서브 샘플링 기법을 활용해 루프 안정성을 향상시

키고 잡음 특성을 개선하여, 컴팩트한 설계와 뛰어난 성능을 동시에 구현하였다.



[25-5] Schematic of the proposed BASS-PLL (top).

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : 수학
- 이메일 : spp098@snu.ac.kr

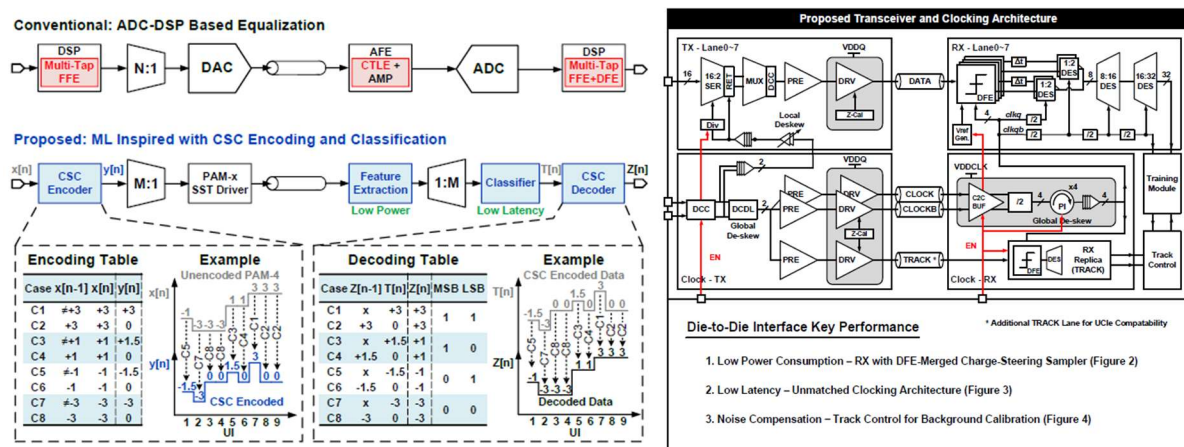
2025 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 31 Energy Efficient Wireline Interconnects

Session 31에서는 최근 증가하는 데이터 처리량 요구에 대응하여 저전력 및 고에너지 효율을 목표로 한 유선 인터페이스 기술들이 소개되었다. 데이터 전송률을 극대화하면서 전력 소모와 지연을 최소화하기 위해 아날로그 보상 회로 의존도를 낮추고, 디지털 및 신호처리 기법을 적극적으로 활용하는 최근 트렌드를 잘 보여준다.

#31-1 본 논문은 16nm FinFET 공정으로 구현된 42Gb/s PAM-4 유선 트랜시버를 제안하였다. 기존의 복잡한 채널 등화기를 대체하여, 기호를 중앙 전압 레벨로 이동시키는 Consecutive Symbol to Center (CSC) 인코딩과 머신러닝 기반의 분류 기법을 활용하였다. 이를 통해 26dB의 높은 채널 손실을 효과적으로 보상하면서도 에너지 효율성 (0.055pJ/bit/dB)을 기존 대비 약 2배 향상시켰다. 제안된 트랜시버는 추가적인 아날로그 등화기 없이도 $BER < 10^{-11}$ 을 유지하며, 낮은 지연 시간과 뛰어난 에너지 효율성을 동시에 달성하였다.



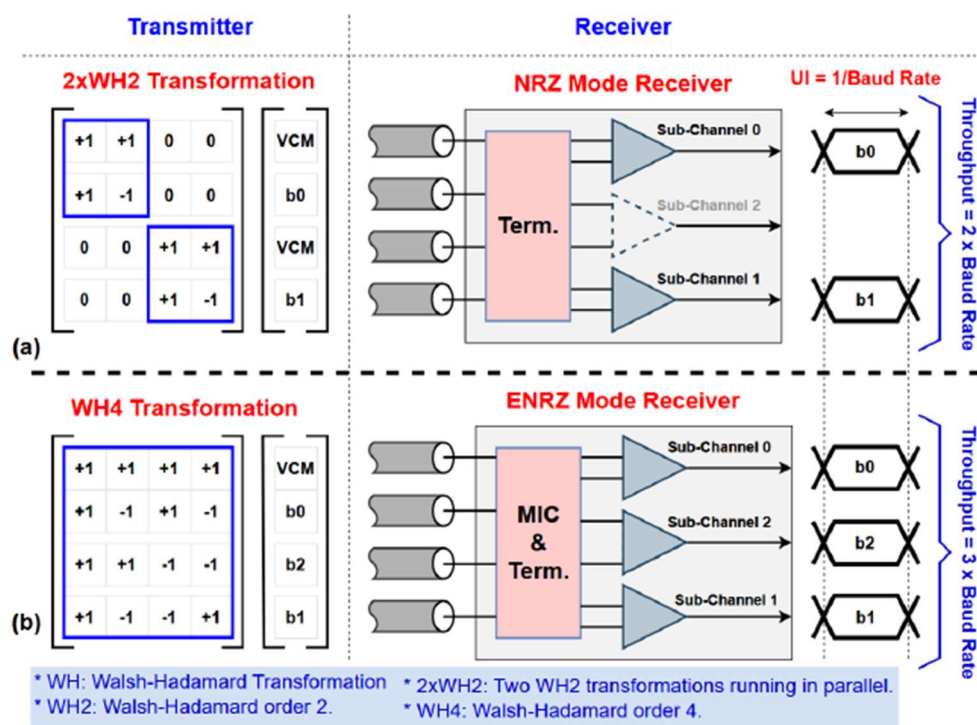
[31-1] (좌)Conventional wireline transceiver and proposed wireline transceiver.

[31-2] (우)Proposed 28Gb/s/pin Low Power and Low Latency Transceiver

#31-2 본 논문은 28nm CMOS 공정에서 구현된 빠른 전원 On/Off 동작이 가능한 0.28~28Gb/s 단일 종단 NRZ Die-to-Die 인터페이스를 제안하였다. 제안된 트랜시버는 전류 모드가 아닌 디지털 중심 설계를 통해 에너지 효율성을 높였으며, RX에서 전원 잡음 및 기준 전압 불일치를 보상하는 배경 추적 기술을 도입하였다. 이를 통해 최소 3ns의 빠른 전환 지연 시간과 0.055pJ/bit/dB의 우수한 에너지 효율성을 달성했으며, 최대

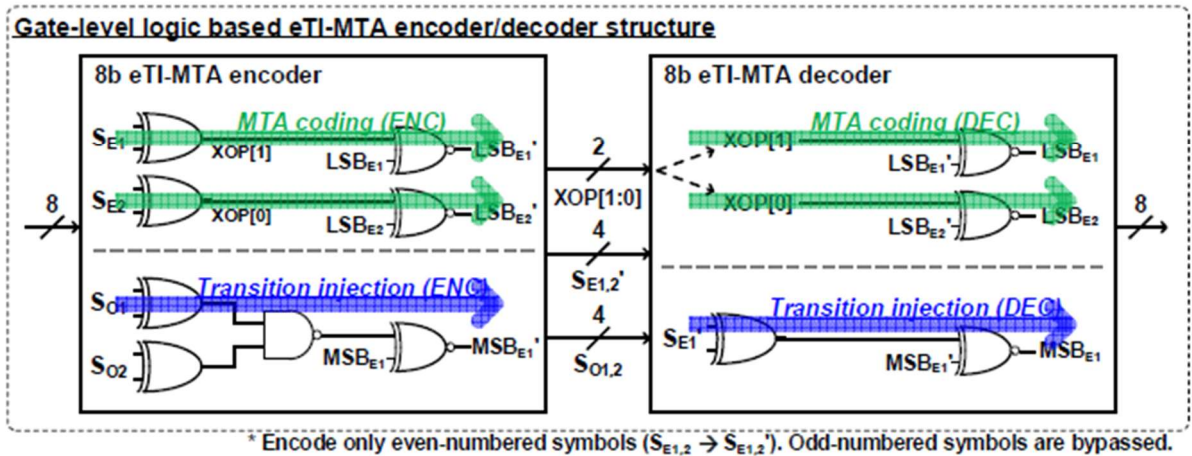
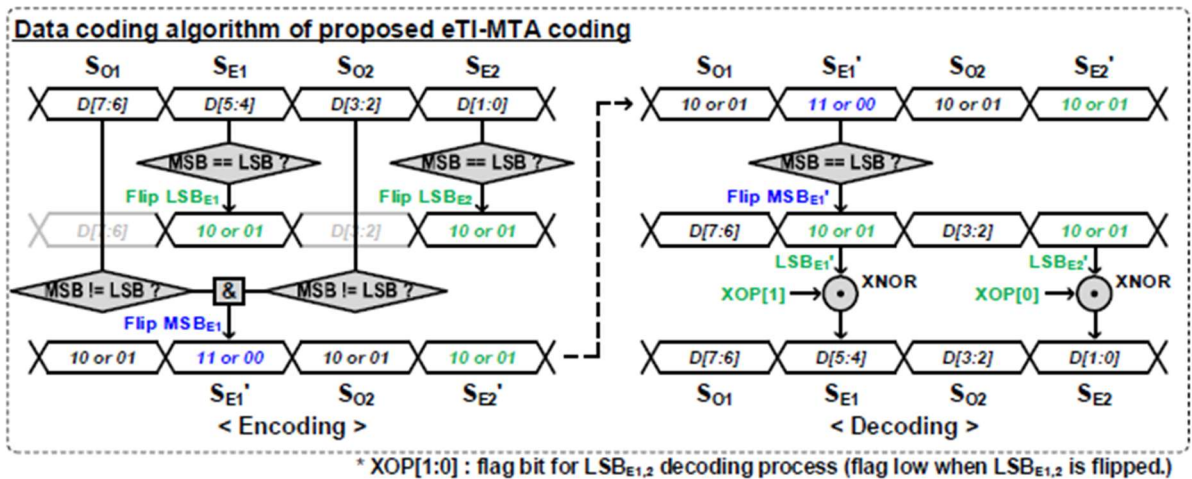
26dB 채널 손실 상황에서도 안정적인 데이터 전송을 가능하게 했다.

#31-3 본 논문은 16nm FinFET 공정에서 구현된 NRZ와 Ensemble NRZ (ENRZ)를 모두 지원하는 이중 모드 직렬 데이터 트랜시버를 제안하였다. 제안된 ENRZ 방식은 기존 NRZ 대비 동일 보레이트에서 50% 향상된 데이터 전송률을 제공하며, 동적 전압 스케일링 (DVS)을 통해 전력 효율을 극대화하였다. 이 트랜시버는 USB 및 DisplayPort 표준과 호환 가능하며, 최대 28dB의 Nyquist 채널 손실 환경에서도 $1E-13$ 이하의 우수한 BER을 유지하였다. 결과적으로, 140fJ/b/dB라는 우수한 에너지 효율을 달성하였다.



[31-3] The proposed dual-mode receiver: (a) the conventional NRZ mode, and (b) the ENRZ mode.

#31-4 본 논문은 싱글 엔디드 메모리 인터페이스를 위한 PAM-4 기반 데이터 코딩 기법을 제안하였다. 기존 7b/8b MTA 방식에서 문제가 되었던 전력공급 잡음(PSIJ)을 해결하기 위해 천이 삽입 기법을 적용한 Embedded Transition Injecting MTA(eTI-MTA)를 제시하였다. 본 방식은 추가 보상회로 없이 ISI와 PSIJ를 동시에 개선하여 28nm CMOS 공정에서 24Gb/s 다채널 동작 시 1.11pJ/bit의 높은 에너지 효율을 달성하였다.



[25-5] Proposed eTI-MTA data coding algorithm.

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : 수학
- 이메일 : spp098@snu.ac.kr